

1/3/4 (Item 4 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2005 Thomson Derwent. All rts. reserv.

009785177 \*\*Image available\*\*  
WPI Acc No: 1994-065030/199408  
XRPX Acc No: N94-050947

Digital ECL bipolar logic gates suitable for low voltage operation - uses control element e.g. transistor to turn input circuit ON or OFF by emitter-to-emitter connection

Patent Assignee: AMERICAN TELEPHONE & TELEGRAPH CO (AMTT) ; AT & T BELL LAB (AMTT)

Inventor: RAZAVI B

Number of Countries: 005 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 5289055	A	19940222	US 92977342	A	19921117	199408 B
EP 599517	A2	19940601	EP 93309003	A	19931111	199421
JP 6224738	A	19940812	JP 93308558	A	19931116	199437
EP 599517	A3	19940914	EP 93309003	A	19931111	199532

Priority Applications (No Type Date): US 92977342 A 19921117

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

US 5289055	A	19		H03K-019/086	
------------	---	----	--	--------------	--

EP 599517	A2	E	21	H03K-019/086	
-----------	----	---	----	--------------	--

Designated States (Regional): DE FR GB

JP 6224738	A	17		H03K-019/086	
------------	---	----	--	--------------	--

EP 599517	A3			H03K-019/086	
-----------	----	--	--	--------------	--

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-224738  
 (43)Date of publication of application : 12.08.1994

---

(51)Int.CL H03K 19/086

---

(21)Application number : 05-308558 (71)Applicant : AMERICAN TELEPH & TELEGR CO <ATT>  
 (22)Date of filing : 16.11.1993 (72)Inventor : RAZAVI BEHZAD

---

## (30)Priority

Priority number : 92 977342 Priority date : 17.11.1992 Priority country : US

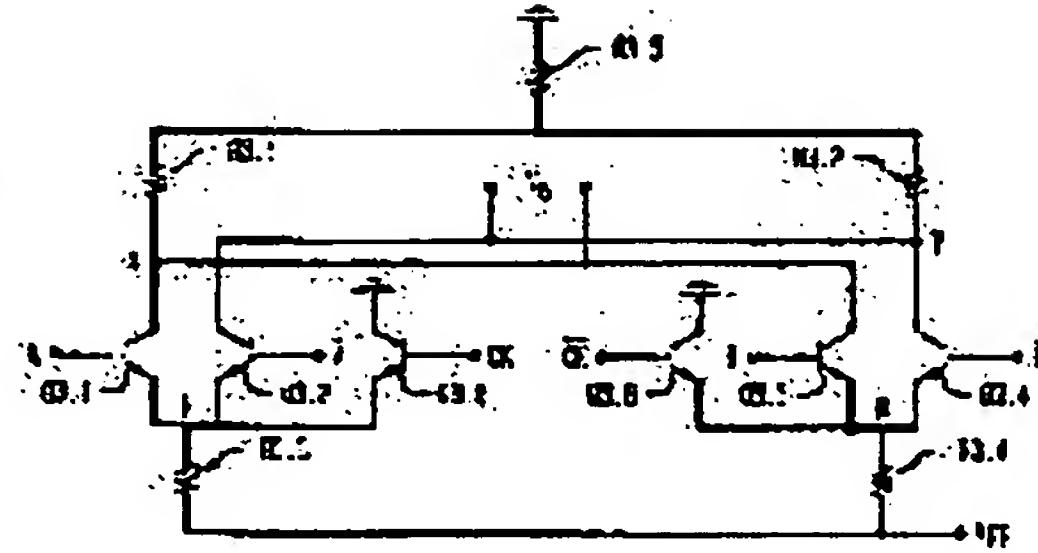
---

## (54) DIGITAL CIRCUIT

## (57)Abstract:

PURPOSE: To form a digital bipolar circuit which operates at a speed of a prescribed GHz or higher under a specific power supply voltage or lower by generating the bias currents of differential pairs and emitter followers by means of resistors which connects the corresponding emitters and power source levels to each other.

CONSTITUTION: Transistors (TR) Q3.1 and Q2.3 form a differential pair having inputs A and -A which are connected to the bases of the TRs Q3.1 and Q2.3 and TRs Q3.3 and Q3.4 form another differential pair having similarly connected inputs B and -B. When a clock signal CK becomes 'H', a TR Q3.5 raises a node M to 'H' and turns off the TRs Q3.1 and Q3.2. When a clock signal CK becomes 'L', in addition, a bias current flows from the TRs Q3.3 and Q3.4 through a resistor R3.4. Therefore, the logical output becomes equal to the logical input to E. When the signal CK becomes 'L', the logical output changes to the logical input to A and a digital bipolar circuit operates at a speed of 1 GHz under a power supply voltage of, for example, 1.5 V.



## LEGAL STATUS

[Date of request for examination]	28.05.1996
[Date of sending the examiner's decision of rejection]	21.07.1998
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-224738

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 19/086

識別記号

府内整理番号

8941-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 8 FD (全 17 頁)

(21)出願番号 特願平5-308558

(22)出願日 平成5年(1993)11月16日

(31)優先権主張番号 977342

(32)優先日 1992年11月17日

(33)優先権主張国 米国(US)

(71)出願人 390035493

アメリカン テレフォン アンド テレグラフ カムパニー

AMERICAN TELEPHONE AND TELEGRAPH COMPANY

アメリカ合衆国 10013-2412 ニューヨーク ニューヨーク アヴェニュー オブ ジ アメリカズ 32

(72)発明者 ベーザド ラザヴィ

アメリカ合衆国 07748、ニュージャージー、ミドルタウン、クノルウッド ドライブ 902

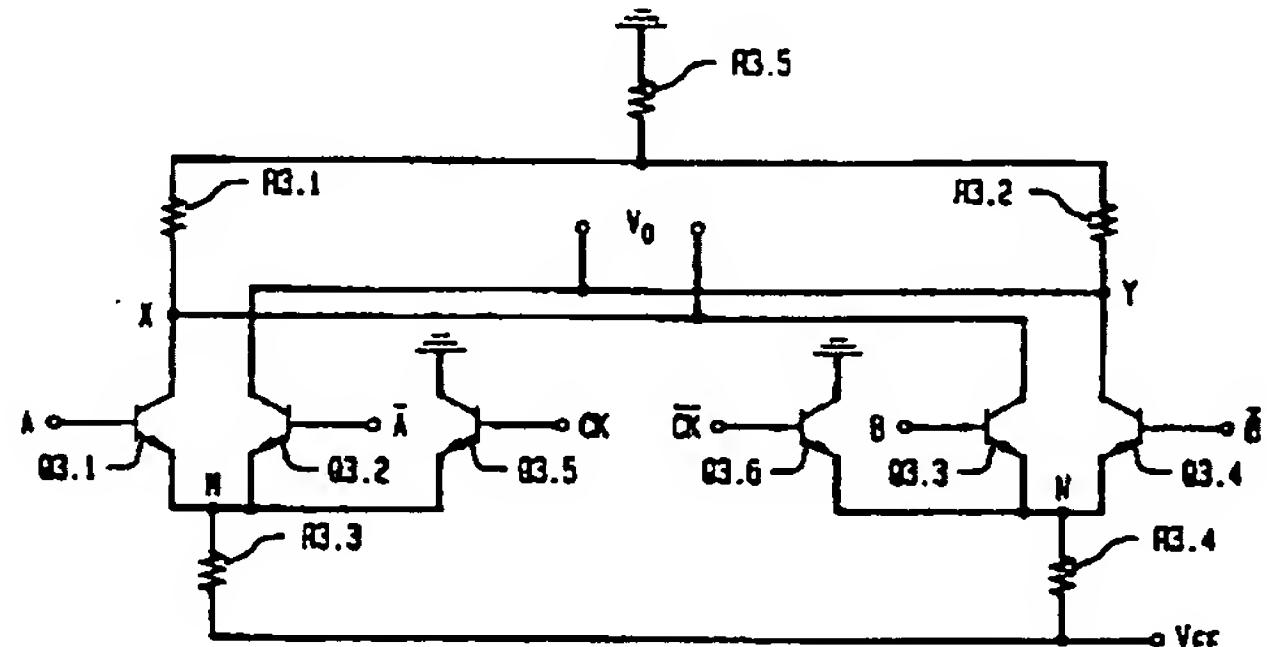
(74)代理人 弁理士 三俣 弘文

(54)【発明の名称】 ディジタル回路

(57)【要約】

【目的】 1. 5ボルト以下の電源電圧で 1 GHz 以上のスピードで動作する種々のディジタルバイポーラ回路を実現する。

【構成】 これらの回路において用いられる差動対およびエミッタフォロワのバイアス電流は、それらの対応するエミッタと電源レベル  $V_{EE}$  を結ぶ抵抗によって生成される。これらの抵抗のそれぞれによる電圧降下は、通常 500 ミリボルトである。これらの回路のそれぞれにおいては、トランジスタがエミッターエミッタ接続によって入力回路をオン/オフする。また、電源線と接地線との間にはスタック配置のトランジスタ対は存在しない。



## 【特許請求の範囲】

【請求項1】 入力信号A、B、およびCおよびその補信号Aバー、Bバー、およびCバーに応答して出力電圧を生成するデジタル回路において、  
 それぞれベース、エミッタおよびコレクタを有し、それぞれのエミッタ端子が第1の共通ノードに電気的に接続された第1の差動対を構成する第1および第2のバイポーラトランジスタと、  
 第1バイポーラトランジスタのベースにA信号を入力する手段および第2バイポーラトランジスタのベースにAバー信号を入力する手段と、  
 それぞれベース、エミッタおよびコレクタを有し、それぞれのエミッタ端子が第2の共通ノードに電気的に接続された第2の差動対を構成する第3および第4のバイポーラトランジスタと、  
 第3バイポーラトランジスタのベースにB信号を入力する手段および第4バイポーラトランジスタのベースにBバー信号を入力する手段と、  
 電源電圧に保たれた端子と第1および第2の共通ノードを少なくとも前記回路が動作している時間の一部において電気的に接続する抵抗手段と、  
 第1、第2、第3、および第4のバイポーラトランジスタのコレクタを、接地電位に保たれた端子または端子群に電気的に接続する抵抗手段と、  
 C信号に応答して、第1共通ノードが第1の電位にある場合には第1および第2のバイポーラトランジスタがディセーブルされ、第1共通ノードが第2の電位にある場合には第1および第2のバイポーラトランジスタがイネーブルされるように、第1共通ノードの電位を第1電位と第2電位の間で切り換える第1切換手段と、  
 Cバー信号に応答して、第2共通ノードが第3の電位にある場合には第3および第4のバイポーラトランジスタがディセーブルされ、第2共通ノードの電圧が第4の電位にある場合には第3および第4のバイポーラトランジスタがイネーブルされるように、第2共通ノードの電位を第3電位と第4電位の間で切り換える第2切換手段と、  
 第1および第3のバイポーラトランジスタのコレクタに電気的に接続された第1の出力電圧端子および第2および第4のバイポーラトランジスタのコレクタに電気的に接続された第2の出力電圧端子とからなり、  
 第1および第2の切換手段は、それぞれベース、エミッタ、および、接地電位に保持された端子に電気的に接続されたコレクタを有する第5および第6のバイポーラトランジスタを有し、  
 第5バイポーラトランジスタのエミッタが第1共通ノードに電気的に接続され、かつ、第6バイポーラトランジスタのエミッタが第2共通ノードに電気的に接続され、  
 第1および第2の切換手段は、さらに、第1共通ノードと第2共通ノードの電位がC信号の変化に応答して互いに

に相補的になされるように、C信号を第5バイポーラトランジスタのベースに電気的に入力し、かつ、Cバー信号を第6バイポーラトランジスタのベースに電気的に入力する手段を有し、  
 電源電圧端子と接地電位に保たれている端子との間の第1、第2、第3、および第4のバイポーラトランジスタを介した、スタッツ接続されたトランジスタ対を含む電流経路が存在しないことを特徴とするデジタル回路。  
 【請求項2】 前記C信号がクロック信号であり、前記出力電圧が、前記クロック信号の変化に従って前記A信号および前記B信号に対応し、多重化された出力が生成されることを特徴とする請求項1のデジタル回路。  
 【請求項3】 前記B信号が論理的に前記Aバー信号と等価であり、前記出力電圧がAとCとの排他的論理和に対応することを特徴とする請求項1のデジタル回路。  
 【請求項4】 クロック信号の電圧状態を変化させることによって選択される時刻における入力信号の電圧状態に対応する出力電圧を生成するデジタルラッチ回路において、  
 それぞれベース、エミッタおよびコレクタを有し、それぞれのエミッタ端子が第1の共通ノードに電気的に接続された差動対を構成する第1および第2のバイポーラトランジスタと、  
 第1バイポーラトランジスタのベースに入力信号を入力する手段および第2バイポーラトランジスタのベースに前記入力信号の補信号を入力する手段と、  
 それぞれベース、エミッタおよびコレクタを有し、それぞれのベースが電気的に他方のコレクタに電気的に接続されたラッチ対を構成し、それぞれのエミッタ端子が第2の共通ノードに電気的に接続された、第3および第4のバイポーラトランジスタと、  
 電源電圧に保たれた端子と第1および第2の共通ノードを少なくとも前記回路が動作している時間の一部において電気的に接続する抵抗手段と、  
 第1、第2、第3、および第4のバイポーラトランジスタのコレクタを、接地電位に保たれた端子または端子群に電気的に接続する抵抗手段と、  
 クロック信号に応答して、第1共通ノードが第1の電位にある場合には第1および第2のバイポーラトランジスタがディセーブルされ、第1共通ノードが第2の電位にある場合には第1および第2のバイポーラトランジスタがイネーブルされるように、第1共通ノードの電位を第1電位と第2電位の間で切り換える第1切換手段と、  
 前記クロック信号の補信号に応答して、第2共通ノードが第3の電位にある場合には第3および第4のバイポーラトランジスタがディセーブルされ、第2共通ノードの電圧が第4の電位にある場合には第3および第4のバイポーラトランジスタがイネーブルされるように、第2共通ノードの電位を第3電位と第4電位の間で切り換える第2切換手段と、

第1および第3のバイポーラトランジスタのコレクタに電気的に接続された第1の出力電圧端子および第2および第4のバイポーラトランジスタのコレクタに電気的に接続された第2の出力電圧端子とからなり、

第1および第2の切換手段は、それぞれベース、エミッタ、および、接地電位に保持された端子に電気的に接続されたコレクタを有する第5および第6のバイポーラトランジスタを有し、

第5バイポーラトランジスタのエミッタが第1共通ノードに電気的に接続され、かつ、第6バイポーラトランジスタのエミッタが第2共通ノードに電気的に接続され、第1および第2の切換手段は、さらに、第1共通ノードと第2共通ノードの電位がクロック信号の変化に応答して互いに相補的になされるように、クロック信号を第5バイポーラトランジスタのベースに電気的に入力し、かつ、前記クロック信号の補信号を第6バイポーラトランジスタのベースに電気的に入力する手段を有し、

電源電圧端子と接地電位に保たれている端子との間の第1、第2、第3、および第4のバイポーラトランジスタを介した、スタック接続されたトランジスタ対を含む電流経路が存在しないことを特徴とするディジタル回路。

【請求項5】 A信号、B信号およびこれら各信号の補信号であるAバー信号およびBバー信号の入力に応答して、A信号とB信号の排他的論理和を表す出力電圧を第1のノードに生成するディジタル回路において、

接地電位に保持された少なくとも1つの端子および電源電圧に保持された少なくとも1つの端子と、前記電源電圧端子と前記接地電位端子との間の2つの電流経路を形成し、それぞれエミッタ、ベース、およびコレクタを有し、コレクタは第1ノードに電気的に接続された2つのバイポーラトランジスタ（以下、第1および第2のゲートトランジスタという）と、

前記2つの電流経路のうちの一方を通る電流が、出力電圧として測定可能な電圧降下を両端に生成するように、前記接地電位端子と第1ノードに電気的に接続された抵抗手段と、

A信号およびB信号に応答して、A信号およびB信号の両方が高電圧状態にある場合にのみ第1ゲートトランジスタを通る電流が実質的に流れるように第1ゲートトランジスタを通る電流を制御する第1の制御手段と、

Aバー信号およびBバー信号に応答して、Aバー信号およびBバー信号の両方が高電圧状態にある場合にのみ第2バイポーラトランジスタを通る電流が実質的に流れるように第2ゲートトランジスタを通る電流を制御する第2の制御手段とからなり、

第1制御手段は、接地端子に電気的に接続されたコレクタと、第1ゲートトランジスタのエミッタに電気的に接続されたエミッタと、ベースとをそれぞれ有する2つのバイポーラトランジスタ（以下、第1および第2の制御トランジスタという）からなり、

第2制御手段は、接地端子に電気的に接続されたコレクタと、第2ゲートトランジスタのエミッタに電気的に接続されたエミッタと、ベースとをそれぞれ有する2つのバイポーラトランジスタ（以下、第3および第4の制御トランジスタという）からなり、さらに前記回路は、

A信号を第1制御トランジスタのベースに入力し、B信号を第2制御トランジスタのベースに入力し、Bバー信号を第3制御トランジスタのベースに入力し、Aバー信号を第4制御トランジスタのベースに入力する手段と、

10 第1および第2のゲートトランジスタのベースに、A信号およびB信号に関連したコモンモード電圧にほぼ等しいバイアス電圧を加える手段とを有し、前記2つの電流経路はいずれもスタック接続されたトランジスタ対を含まないことを特徴とするディジタル回路。

【請求項6】 入力信号に応答する出力電圧を生成するディジタル回路において、

接地電位に保持された少なくとも1つの端子、および、電源電圧レベルに保持された少なくとも1つの端子と、それぞれベース、エミッタ、およびコレクタを有する2つのバイポーラトランジスタ（以下、第1および第2の入力トランジスタという）と、

第1入力トランジスタのベースに前記入力信号を供給する手段と、

第2入力トランジスタのベースに前記入力信号の補信号を供給する手段と、

それぞれベース、エミッタ、およびコレクタを有する2つのバイポーラトランジスタ（以下、第1および第2の出力トランジスタという）と、

30 各出力トランジスタのコレクタへ流れ込む電流が電圧降下を生じ、この電圧降下の一方または両方が出力電圧を規定するように、前記接地電位端子と第1および第2の出力トランジスタのコレクタとを接続する第1の抵抗手段と、

出力トランジスタのベースにバイアス電圧を供給するバイアス手段と、

入力トランジスタのエミッタを前記電源電圧に保持された端子に電気的に接続する第2の抵抗手段と、

40 各出力トランジスタのコレクタに流れ込む電流が対応する入力トランジスタのベースに加えられた前記入力信号または前記入力信号の補信号によって変調されるように、第1および第2の入力トランジスタをそれぞれ第1および第2の出力トランジスタに電気的に接続する手段とを有し、

各入力トランジスタのエミッタは、対応する出力トランジスタのエミッタに電気的に接続され、

バイアス手段は、

第1端が第1出力トランジスタのエミッタに電気的に接続され、第2端が第2出力トランジスタのエミッタに電気的に接続され、第1端と第2端の間にタップを有する

電圧分割器と、エミッタ、ベース、および、自己バイアスされるようにこのベースに電気的に接続されたコレクタを有するバイポーラトランジスタ（以下、バイアストランジスタという）とを有し、

バイアストランジスタのエミッタは前記タップに電気的に接続され、バイアストランジスタのベースは第1および第2の出力トランジスタのベースに電気的に接続され、バイアストランジスタのコレクタは第3の抵抗手段を介して接地端子に電気的に接続され、

入力トランジスタまたは出力トランジスタを介しての電源電圧端子と接地端子との間の電流経路のいずれにおいてもスタック接続されたトランジスタ対が含まれないことを特徴とするディジタル回路。

【請求項7】 前記ディジタル回路がさらにレベルシフト用抵抗を有し、

第1抵抗手段および前記4つのバイポーラトランジスタのコレクタは、レベルシフト用抵抗を介して接地端子に電気的に接続され、

レベルシフト用抵抗の抵抗値は、前記出力電圧のコモンモードのレベルが、抵抗値ゼロのレベルシフト用抵抗を有する等価回路の出力電圧のコモンモードのレベルと比べて所定量だけシフトされるように選択されることを特徴とする請求項5のディジタル回路。

【請求項8】 前記ディジタル回路がさらに、A信号およびB信号ならびにAバー信号およびBバー信号に応答するXNOR回路を有し、このXNOR回路は、第1ノードにおける前記出力電圧の論理的補信号を表すXNOR出力を第2のノードにおいて生成するように適合され、第1ノードと第2ノードの間の電位差が差動出力信号を構成するようにされ、XNOR回路が、

第2ノードに電気的に接続されたコネクタを有し、電源端子と接地端子の間の2つの電流経路を形成する2つのバイポーラトランジスタ（以下、第3および第4のゲートトランジスタという）と、

前記2つの電流経路のうちのいずれかを流れる電流が、XNOR出力電圧として測定可能な電圧降下を生ずるよう前に記接地端子と第2ノードとに電気的に接続された抵抗手段と、

A信号が低電圧状態にありB信号が高電圧状態にある場合にのみ実質的に電流が流れうる状態になるように第3ゲートトランジスタを流れる電流を制御する2つのバイポーラトランジスタと、

A信号が高電圧状態にありB信号が低電圧状態にある場合にのみ実質的に電流が流れうる状態になるように第4ゲートトランジスタを流れる電流を制御する2つのバイポーラトランジスタとを有することを特徴とする請求項5のディジタル回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高速動作に適したディジタルバイポーラ論理回路に關し、特にトランジスタ等の制御デバイスがエミッターエミッタ接続によって入力回路をオン／オフする論理回路に関する。

【0002】

【従来の技術】 集積回路の設計者は、以前から、多くの携帯用電子システムが消費電力すなわちバッテリに対する要求を低減することによって改良されうることを認識している。設計者は、さらに、最速のシリコントランジ

10 プタが一般には比較的低い絶縁破壊電圧を有することも認識している。これらすべての理由から、回路設計者はディジタル回路の供給電圧をおよそ5ボルトから3.3ボルトへ、さらには1.5ボルトへとスケーリングすることを試みてきている。しかしながら、低電源電圧下、とりわけ1.5ボルトという低い電源電圧下で高速動作を実現することは困難である。

【0003】 例え、エミッタ結合論理（ECL）技術は高速論理ゲートに対して広く用いられている。図2に示されているのは、マルチブレクサとして用いられる代表的なECL回路である。出力電圧、つまり出力電圧の1/2が抵抗R2.1での電圧降下としてノードXに現れる。この抵抗を流れる電流は、トランジスタQ2.1およびQ2.7あるいはトランジスタQ2.3およびQ2.8のいずれかを経由する経路を通じて電源V<sub>EE</sub>へ流れる。いずれの経路も、スタック対配置を取る2つのトランジスタを含んでいる。（一方のトランジスタのエミッタ端子が他方のトランジスタのコレクタ端子に接続されている場合に、これら2つのトランジスタは“スタック”配置におかれているという。）これらのトランジスタのエミッターベース間接合が一般的にはおよそ0.8ボルトの電圧降下を要求するため、これらのトランジスタの“深い(deep)”飽和が避けられる場合には電源電圧は実質的に1.5ボルトよりも高くなければならない。

【0004】 これに対して、電源線と接地との間にスタック配置のトランジスタを有しないような回路においては1.5ボルトという低電源電圧も用いられる。この種の公知の論理ORを計算する機能を有する回路の一例を図1に示す。図1の回路においては、トランジスタQ1.3を流れる電流はエミッターエミッタ接続されたトランジスタQ1.1およびQ1.2によって制御される。

【0005】

【発明が解決しようとする課題】 この種の回路においては、例え1.5ボルト等の比較的低い電源電圧においても高速動作が可能である。しかしながら、これまでのところ、回路設計者はこの種のいくつかの回路を実現したのみである。現在までは、種々の論理関数を実現することが可能なこの種の回路の一般的な選択は欠如したままである。

【0006】

【課題を解決するための手段】本発明に従って、1.5ボルト以下の電源電圧で1GHz以上のスピードで動作する種々のデジタルバイポーラ回路が実現される。これらの回路において用いられる差動対およびエミッタフォロワのバイアス電流は、それらの対応するエミッタと電源レベル $V_{EE}$ とを結ぶ抵抗によって生成される。これらの抵抗のそれぞれによる電圧降下は、通常500ミリボルトである。(以下の記述においては、 $V_{EE}$ は-1.5ボルトの電源によって実現されていると仮定されている。しかしながら、本発明は負のバイアス電圧を必要とする回路に限定されているのではなく、例えば接地電位と $V_{CC}=+1.5$ ボルトとの間のような正にバイアスされた回路においても容易に実現されうる。)これらの回路のそれぞれにおいては、トランジスタがエミッターエミッタ接続によって入力回路をオン/オフする。また、電源線と接地線との間にはスタック配置のトランジスタ対は存在しない。

## 【0007】

【実施例】本発明のより望ましい実施例においては、以下の回路は、BiCMOSコンパチブルなシリコンバイポーラ集積回路用スーパーセルファライン製造テクノロジーに従って作製される。この種のテクノロジーに関しては、ケー.ジー.モーシェル(K.G. Moerschel)らによる“BEST: BiCMOSコンパチブルスーパーセルファラインECLテクノロジー”という表題の、アイトリップルイー・カスタム集積回路会議(1990)(IEEE 1990 Custom Integrated Circuits Conference)における技術論文集18.3.1-18.3.4に記述されている。この技術は、1.5 $\mu$ mのデザインルールに基づくものであり、それに従って作製された回路は、2mW/gateという消費電力の下に87psという小さいECL伝播遅延を有するものである。

【0008】上記の回路において用いられる差動対およびエミッタフォロワのバイアス電流は、図3のR3.3およびR3.4等の適切な抵抗を用いて生成される。ここでは、これらの抵抗がNMOSデバイスによって置換されうることに留意されたい。なぜなら、適切なサイズを有するMOSトランジスタはソース-ドレイン間の電位差が500mV程度であっても飽和領域にあるからである。飽和領域で動作するNMOSデバイスを用いることは、電源電圧の変動に対する耐性がより優れているという点で有利である。従って、本明細書において用いられている“抵抗”あるいは“抵抗手段”という語がエミッタ端子と電源端子との間に接続されたデバイスを指し示す場合には、この術語は適当なNMOSデバイスを含むものとする。

【0009】図2は、従来技術に係るECLマルチプレクサ回路を示した図である。この回路においては、トランジスタQ2.1とQ2.2がそれぞれのベースに対してAおよびAバーの入力が接続された差動対を構成して

おり、トランジスタQ2.3とQ2.4がそれぞれのベースに対してBおよびBバーの入力が接続された差動対を構成している。第一の差動対のエミッタはノードMに対して接続されており、第二の差動対のエミッタはノードNに対して接続されている。ノードMおよびNは、それぞれトランジスタQ2.7および抵抗R2.6、トランジスタQ2.8および抵抗R2.6を介して電源電圧 $V_{EE}$ に接続されている。トランジスタQ2.1およびQ2.2はトランジスタQ2.7のベースに印加されたクロック信号CKによってイネーブル/ディセーブルされ、その結果、ノードMから流れ出す電流が変化する。同様に、トランジスタQ2.3およびQ2.4はトランジスタQ2.8のベースに印加された逆相クロック信号CKバーによってイネーブル/ディセーブルされ、その結果、ノードNから流れ出す電流が変化する。出力電圧は、ノードXとYとの間の電位差として現れる。ノードXは電気的には一方ではトランジスタQ2.1のコレクタに接続されており、他方では抵抗R2.1を介して接地されている。ノードYは一方ではトランジスタQ2.4のコレクタに接続されており、他方では抵抗R2.2を介して接地されている。

【0010】図3には、本発明の一実施例に従うマルチプレクサ回路が示されている。この回路は幾つかの側面においては図2に示された回路と同様のものである。すなわち、トランジスタQ3.1とQ3.2がそれぞれのベースに対してAおよびAバーの入力が接続された差動対を構成しており、トランジスタQ3.3とQ3.4がそれぞれのベースに対してBおよびBバーの入力が接続された差動対を構成している。第一の差動対のエミッタはノードMに対して電気的に接続されており、第二の差動対のエミッタはノードNに対して電気的に接続されている。ノードMおよびNはそれぞれ抵抗R3.3およびR3.4を介して電源電圧 $V_{EE}$ に接続されている。トランジスタQ3.1およびQ3.2はトランジスタQ3.5のベースに印加されたクロック信号CKによってイネーブル/ディセーブルされ、その結果、ノードMの電位が変化する。同様に、トランジスタQ3.3およびQ3.4はトランジスタQ3.6のベースに印加された逆相クロック信号CKバーによってイネーブル/ディセーブルされ、その結果、ノードNの電位が変化する。出力電圧は、ノードXとYとの間の電位差として現れる。ノードXは電気的には一方ではトランジスタQ3.1のコレクタに接続されており、他方では抵抗R3.1およびR3.5を介して接地されている。ノードYは一方ではトランジスタQ3.4のコレクタに接続されており、他方では抵抗R3.2およびR3.5を介して接地されている。

【0011】しかしながら、クロックトランジスタQ3.5およびQ3.6の配置が図2のマルチプレクサとは異なっている。すなわち、これらのトランジスタは対

応する差動対とは直列になっていない。そのかわりに、それぞれのトランジスタのコレクタが接地されており、エミッタはそれぞれノードMおよびNに対して接続されていて、差動対のトランジスタのそれぞれのエミッタが対応するクロックトランジスタのエミッタに対してそれぞれ接続されていることになる。このような配置を取ることによって、 $V_{EE}$ と接地との間のQ3.1、Q3.2、Q3.3、およびQ3.4のうちのいずれかを介するすべての電流経路において、スタック対トランジスタは含まれない。

【0012】図3に示されている回路は、その動作において、以下に記述されている本発明に係るその他の回路と同様、論理状態の変化を規定するために400mVのシングルエンド振幅を用いる。この回路は、そのコモンモードレベルによって識別される、2つのタイプの信号を用いる。本明細書において“タイプI”信号と呼称される信号は、-200mVというコモンモードレベルを有しており、“タイプII”と呼称される信号は-400mVというコモンモードレベルを有している。図3に示されている回路においては、抵抗R3.5は、出力において-400mVというコモンモードレベルを実現する。この回路においてはクロック信号CKおよびCKバーはタイプIの信号であり、その他の信号すべて（すなわちAおよびB信号およびそれらの相補信号、および出力信号）はタイプIIの信号である。

【0013】以下、図3の回路の動作を説明する。CKがハイになると、トランジスタQ3.5がノードMをハイに引き上げ、トランジスタQ3.1およびQ3.2をターンオフする。同時に、CKバーがローになると、トランジスタQ3.3およびQ3.4から抵抗R3.4を介して電流が流れる。すなわち、Q3.1およびQ3.2はディセーブルされてQ3.3およびQ3.4はイネーブルされ、論理出力はBに対する論理入力と等しくなる。設計された回路の対称性から、CKがローになった場合には論理出力がAに対する論理入力に変化することが示される。ここで、トランジスタQ3.1、Q3.2、Q3.3、およびQ3.4は、ベースコレクタ間に400mVという順方向バイアス電圧が印加されており、それゆえ回路動作中に弱飽和領域に入ることに留意されたい。しかしながら、これらのトランジスタは強飽和領域に入ることはなく、それゆえ動作速度に課せられるペナルティは、仮にそれが存在したとしても比較的小さい。

【0014】図4は、ファンアウトが1および消費電力が1.2mWという条件の下での図3の回路の動作時の入力および出力波形のコンピュータシミュレーション結果を示した図である。このシミュレーションにおいては、A、B、およびCK入力信号は500MHzという周波数を有する周期的信号であり、AはBより180°進んでおり、CKはBより90°進んでいる。

【0015】本発明の別の実施例は、図5に示された回路に代表されるラッチ回路である。この回路は、図3のマルチプレクサ回路からBおよびBバーを取り去り、その代わりにトランジスタQ3.3とQ3.4（すなわち、図5のトランジスタQ5.3とQ5.4）をラッチ対を構成するようにクロス接続したものである。このクロス接続は、それぞれのトランジスタのコレクタを他方のトランジスタのベースに対して電気的に接続することにより実現される。

【0016】このラッチ回路の動作は以下のとおりである。CKがローの場合には、入力対（トランジスタQ5.1とQ5.2）はイネーブルされており、ノードXおよびYは入力信号に追随し、ラッチトランジスタQ5.3とQ5.4はオフである。CKがハイになると、入力対はディセーブルされ、ラッチ対がオンになってその時点でのXおよびYの状態がラッチ対に係るループにストアされる。

【0017】このラッチ回路の性能を評価するために、一对のこのラッチ回路を、周波数を2分の1に分割する、公知のフィードバック付きマスタースレーブ構成に組み込んだ。図6は、2GHzおよび消費電力2.8mW（ラッチ一つ当たり1.4mW）で動作しているこの周波数分割器のクロック信号および差出力のコンピュータシミュレーション結果を示している。

【0018】本発明の別の実施例は、図7に示されている排他的論理和（XOR）回路である。この回路は、図3のマルチプレクサ回路において、BおよびBバーをCKおよびCKバーにそれぞれ置換し、トランジスタQ3.3（図7のトランジスタQ7.3）への入力であるAバーをBに、トランジスタQ3.4（図7のトランジスタQ7.4）への入力であるAをBバーに、それぞれ置換することによって導出される。これらの置換の結果、Bがローの場合には出力の論理値は入力Aの論理値と等しく、Bがハイの場合には入力Aバーと等しくなる。よって、AおよびBがいずれもハイであるあるいはローである場合には出力は0であり、BがローでAがハイである、あるいはBがハイでAがローである場合には出力は1である。これは、AとBとの排他的論理和（XOR）演算の結果である。

【0019】このゲートは、図9の従来技術に係るECL XORゲートよりも高速である。なぜなら、図9の回路においては、一方の入力信号がレベルシフトネットワーク900およびスタック対トランジスタを通過しなければならないからである。具体的には、トランジスタQ9.4はトランジスタQ9.1を含む差動対とスタック接続されている。信号Bはスタック対を介して伝播するが信号Aはそうではない。さらに、従来技術に係るゲートとは異なり、本発明に係るXORゲートは双方の入力に関してほぼ等しい伝播遅延特性を有している。

【0020】図8は、消費電力1.4mWで動作してい

る図7に示された回路のB入力波形、および、XおよびY出力波形を示したコンピュータシミュレーション結果である。この図より、110 psという伝播遅延があることがわかる。一方で、同一のコレクタ抵抗および電圧振幅を有する従来技術に係るXORゲートは130 psの遅延を有している。

【0021】前述されているように、図7の回路はAおよびB入力に関してほぼ等しい伝播遅延を有している。しかしながら、AおよびB信号経路は厳密には同一ではなく、その結果、高周波領域においてわずかの位相誤差が現れる場合がある。位相ロックループなどのこの種の誤差が許容出来ないアプリケーションにおいては、対称XORゲート（すなわち、AおよびB入力に関して完全に対称なゲート）を用いることが有利である。

【0022】図9は、従来技術に係る、AおよびB入力に関して対称的ではないECL XORゲートを示した図である。ノードXにおいて現れる抵抗R9.1での電圧降下がAとBとの排他的論理和出力信号である。抵抗R9.1を流れる電流は、接地とV<sub>EE</sub>との間を、トランジスタQ9.1およびQ9.4を介して、あるいはQ9.2およびQ9.5を介して、流れる。これらの分岐は、抵抗R9.1がトランジスタQ9.1およびQ9.2のコレクタに対して接続されているノードMにおいて合流している。電流は、AがハイであってトランジスタQ9.1がオンであり、かつBもハイであってトランジスタQ9.4もオンである場合にのみ、Q9.1側の分岐を流れる。また、AがローであってAバーがトランジスタQ9.2をオンにし、かつBもローであってBバーがトランジスタQ9.5をオンにした場合にのみ、電流がQ9.2側の分岐を流れる。Xにおける出力は、電流がいずれかの分岐を流れた場合に、すなわちAおよびBの双方がハイであるか双方がローである場合に論理0となる。それ以外の場合には出力は論理1である。

【0023】本発明の一実施例においては、本発明は、図9に示された回路とは異なる、AおよびB入力に関して対称的なXOR回路である。このXOR回路（図10）には、電源と接地との間にスタック接続されたトランジスタが含まれていない。図10においては、AとBとの排他的論理和出力信号は、抵抗R10.1での電圧降下として、ノードXに現れる。この抵抗を流れる電流は、トランジスタQ10.3および抵抗R10.2、あるいはトランジスタQ10.4および抵抗R10.3、のいずれかを介して、接地とV<sub>EE</sub>との間を流れる。トランジスタQ10.1およびQ10.2はQ10.3分岐を流れる電流を制御し、トランジスタQ10.5およびQ10.6はQ10.4分岐を流れる電流を制御する。図9に示された従来技術に係る回路とは異なり、制御トランジスタ（例えばトランジスタQ10.1およびQ10.2）は制御されるトランジスタ（例えばQ10.3）に対してエミッターエミッタ接続により接続されて

いる。参照電圧V<sub>b1</sub>がトランジスタQ10.3およびQ10.4のベースに印加されている。この電圧は、入力AとBおよびその相補入力のコモンモードレベルと等値されている。

【0024】以下で図10の回路の動作を説明する。トランジスタQ10.3は、AおよびBがローであり、従ってトランジスタQ10.1およびQ10.2が双方ともオフである場合にのみオンである。同様に、トランジスタQ10.4は、AおよびBの双方がハイであり、AバーおよびBバーが共にローであってトランジスタQ10.5およびQ10.6が双方ともオフである場合にのみオンである。よって、Q10.3のコレクタ電流はAとBとの論理積の値を表わしており、トランジスタQ10.4のコレクタ電流はAバーとBバーの論理積の値を表わしている。ノードXにおけるこれらの双方の電流の和（論理和関数と等価である）と抵抗R10.1による総和電流の接地電位より低い電圧への変換（論理反転と等価である）により、XOR関数を表す出力電圧が得られる。この出力はタイプIの信号である。タイプIIの信号が必要な場合には、この回路は図11に示されているように容易に修正される。図11においては、抵抗R11.4に抵抗R11.2およびR11.3を流れる電流の総和にほぼ等しい電流が流れ、このために必要とされるレベルシフトが出力において実現される。

【0025】図10の回路の出力はシングルエンドである。差動出力を有する回路は、例えば図12に示されているような排他的NOR（XNOR）ゲートG12.1を追加することによって容易に実現されうる。XNORゲートは、AおよびAバー入力が互いに交換されている点を除いてXORゲートと同一である。図12に示された複合回路は、XORゲートのトランジスタQ12.6のベースとXNORゲートのトランジスタQ12.1'のベースとの双方に接続された单一のAバー入力を有している。XOR出力はXORゲートのノードXに、XNOR出力（XOR出力の補出力）はXNORゲートのノードYに現れる。

【0026】図13は、2つの相補的ゲートのそれぞれがファンアウト1および消費電力1.3mWという条件で動作している場合の、図12に示された対称XORゲートのA入力波形およびXおよびY入力波形のコンピュータシミュレーション結果を示した図である。この図から、このような条件下では120 psの遅延を有することがわかる。

【0027】集積回路の設計においては、基板に対して著しく大きな容量を有する長距離のインターフェクト配線を用いて大きなチップを横断するように信号を引き回さなければならないことがしばしばある。このような場合には、このような容量の大きい配線を駆動することが可能かつその出力端において適当なコモンモードレベルを有する増幅された信号を伝達することが可能なバッ

ファ回路を用いることが望ましい。従来技術に係る、バッファおよびレベルシフト機能を実現するECL回路の一例が図14に示されたカスコード接続回路である。この回路においては、入力信号およびその補信号が、それぞれ入力トランジスタQ14.1およびQ14.2のベースに供給される。入力トランジスタのコレクタは、一般には、駆動るべき容量の大きな配線を介して、出力トランジスタQ14.3およびQ14.4のそれぞれ対応するエミッタに接続されている。(図14には、寄生容量C14.1が図示されている。)出力トランジスタは、これらのトランジスタのベースに印加された電圧V<sub>b</sub>によってバイアスされている。出力トランジスタのコレクタは、抵抗R14.1およびR14.2を介して接地電位に接続されており、これらの抵抗による電圧降下の差がノードXおよびYにおいて出力信号として取り出される。入力トランジスタのエミッタは、抵抗R14.3を介してV<sub>EE</sub>に接続されている。それぞれの出力トランジスタのコレクタ電流は、対応する入力トランジスタがその入力がハイになったことによってオンされている場合にのみ流れる。(図14には、回路の動作速度を改善するために追加された抵抗R14.4が示されている。)

【0028】本発明は、その一実施例においては、バッファおよびレベルシフト機能を有する回路である。本発明に係る回路においては、接地電位とV<sub>EE</sub>との間にスタッカ接続されたトランジスタを含む電流経路は存在せず、入力トランジスタは出力トランジスタの電流をエミッターエミッタ接続によって制御する。本発明に係るこの種の回路が図15に示されている。(図15には、寄生容量C15.1が図示されている。)図14に示された回路と同様、相補入力信号AおよびAバーがそれぞれ対応する入力トランジスタQ15.1およびQ15.2のベースに供給される。それぞれの入力トランジスタは、それぞれ対応する出力トランジスタQ15.3およびQ15.4のコレクタ電流を制御する。トランジスタQ15.1およびQ15.2のエミッタは、それぞれ抵抗R15.1およびR15.2を介してV<sub>EE</sub>に接続されている。トランジスタQ15.3のコレクタ電流は抵抗R15.6およびR15.8を流れ、ノードYにおいて電圧降下を起こす。トランジスタQ15.4のコレクタ電流は抵抗R15.7およびR15.8を流れ、ノードXにおいて電圧降下を起こす。これらの電圧降下の差が出力信号として用いられる。

【0029】しかしながら、図15の回路はいくつかの重要な観点において図14の回路とは異なっている。前述されているように、入力トランジスタは出力トランジスタを直列接続ではなくエミッターエミッタ接続によって制御する。例えば長距離のインターフェクトにおいて生じうる望ましくない電圧降下に対する感度を低下させるために、インターフェクトから受信された信号のコモ

ンモードレベルは出力端において回復され、出力トランジスタはそのレベルに従ってバイアスされる。この目的で、通常同一の値を有する抵抗R15.3およびR15.4が、トランジスタQ15.3とQ15.4との間の電圧分割器として配置されている。コモンモードレベルはノードP(すなわち電圧分割器のセンタータップ)において確立され、そのエミッタがノードPへ、コレクタが抵抗R15.5を介して接地電位へ、およびベースが出力トランジスタのベースへそれぞれ接続されたトランジスタQ15.5によってシフトアップされる。コモンモードレベルの回復およびシフトアップの結果、出力トランジスタQ15.5のベース電圧は入力信号AおよびAバーのコモンモードレベルと近くなり、出力トランジスタに対して適切なバイアス電圧が供給される。入力および出力トランジスタのコレクタ電流は、それらの物理的なサイズをトランジスタQ15.5に関して変化させ、抵抗R15.1-R15.5の値を適切な値に選択することにより、所定のレベルの容易に設定されうる。

【0030】図16は、ファンアウト1、消費電力1.4mW、およびインターフェクト容量0.5pFという条件下で動作している図15の回路のA入力波形とXおよびY出力波形とを示したコンピュータシミュレーション結果である。この図から、図15の回路が150psという遅延時間を持つ動作することが明らかである。

【0031】以上の説明は、本発明の一実施例に関するもので、この技術分野の当業者であれば、本発明の種々の変形例が考え得るが、それらはいずれも本発明の技術的範囲に包含される。

【0032】  
30 【発明の効果】以上述べたごとく、本発明によれば、1.5ボルト以下の電源電圧で1GHz以上のスピードで動作する種々のディジタルバイポーラ回路が提供される。

【図面の簡単な説明】  
【図1】論理和関数を実現するために用いられる公知の回路を示した図である。

【図2】マルチプレクサとして用いられる従来技術に係る代表的なECL回路を示した図である。

【図3】本発明の一実施例に従うマルチプレクサ回路を40 示した図である。

【図4】図3の回路の入力および出力動作波形のコンピュータシミュレーション結果を示した図である。

【図5】本発明の一実施例に従うラッチ回路を示した図である。この回路は図3のマルチプレクサ回路と関連している。

【図6】周波数ディバイダを構成するように互いにマスターースレーブ配置にされた、図5に示された回路と同様の2つの回路のクロック信号および差動出力のコンピュータシミュレーション結果を示した図である。

【図7】本発明の一実施例に従う排他的論理和(XO

R) 回路を示した図である。この回路は図3のマルチプレクサ回路と関連している。

【図8】図7の回路のB入力波形、XおよびY出力波形のコンピュータシミュレーション結果を示す図である。

【図9】従来技術に係るECL XORゲートを示した図である。このゲート回路はAおよびB入力に関して対称ではない。

【図10】本発明の一実施例に従うXOR回路を示した図である。このゲート回路はAおよびB入力に関して対称である。

【図11】電圧シフトされた、タイプII出力を生成するように修正された、図10の回路と同様のXOR回路を示した図である。

【図12】排他的NOR(XNOR)回路を含ませることによって差動出力を生成するように修正された、図10の回路と同様のXOR回路を示した図である。

【図13】図12の対称XORゲートのA入力波形、XおよびY出力波形のコンピュータシミュレーション結果を示す図である。

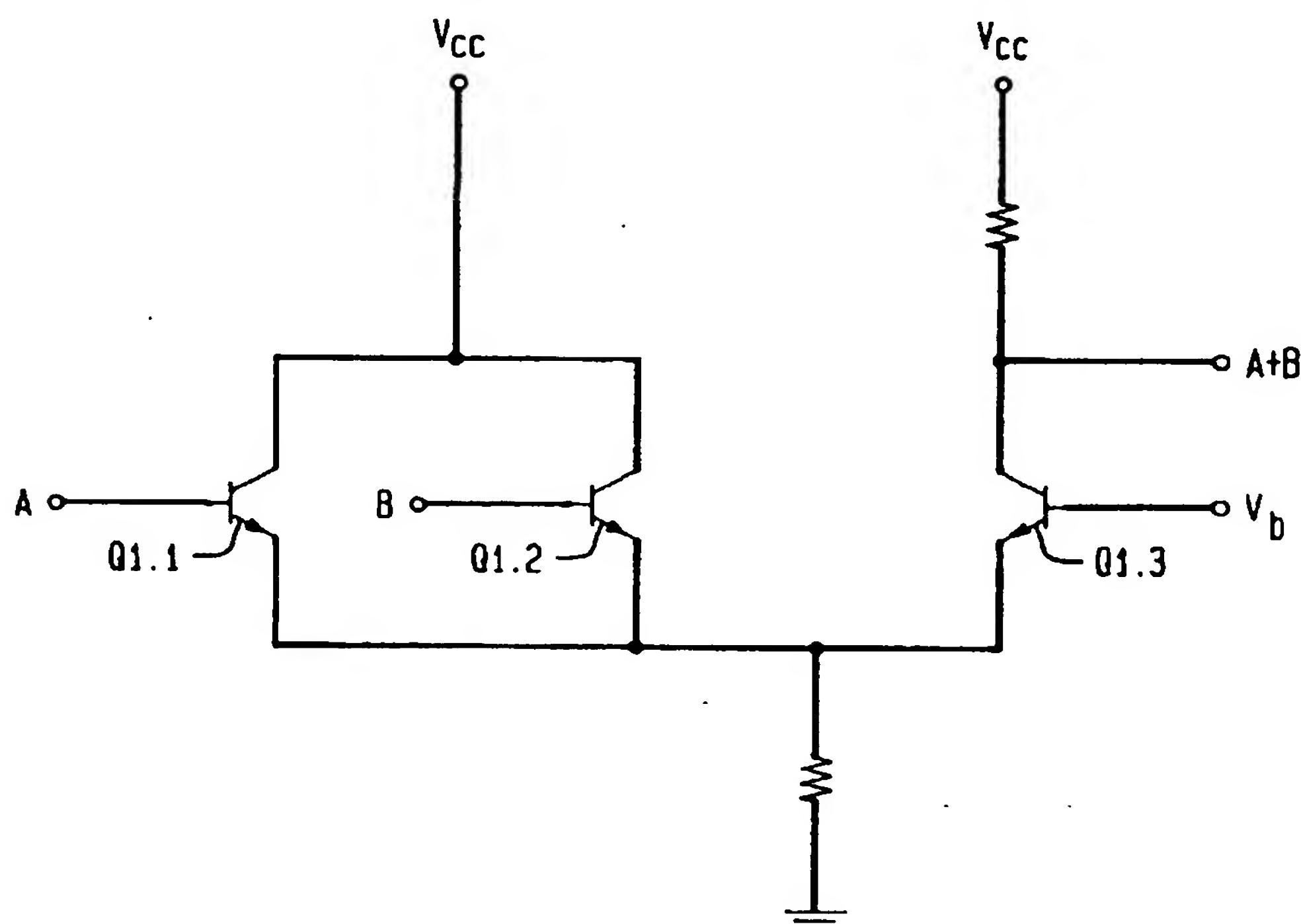
【図14】従来技術に係る、バッファおよびレベルシフタとして機能するECL回路を示した図である。

【図15】本発明の一実施例に従ってバッファおよびレベルシフタとして機能するECL回路を示した図である。

【図16】図15の回路のA入力波形、XおよびY出力波形のシミュレーション結果を示した図である。

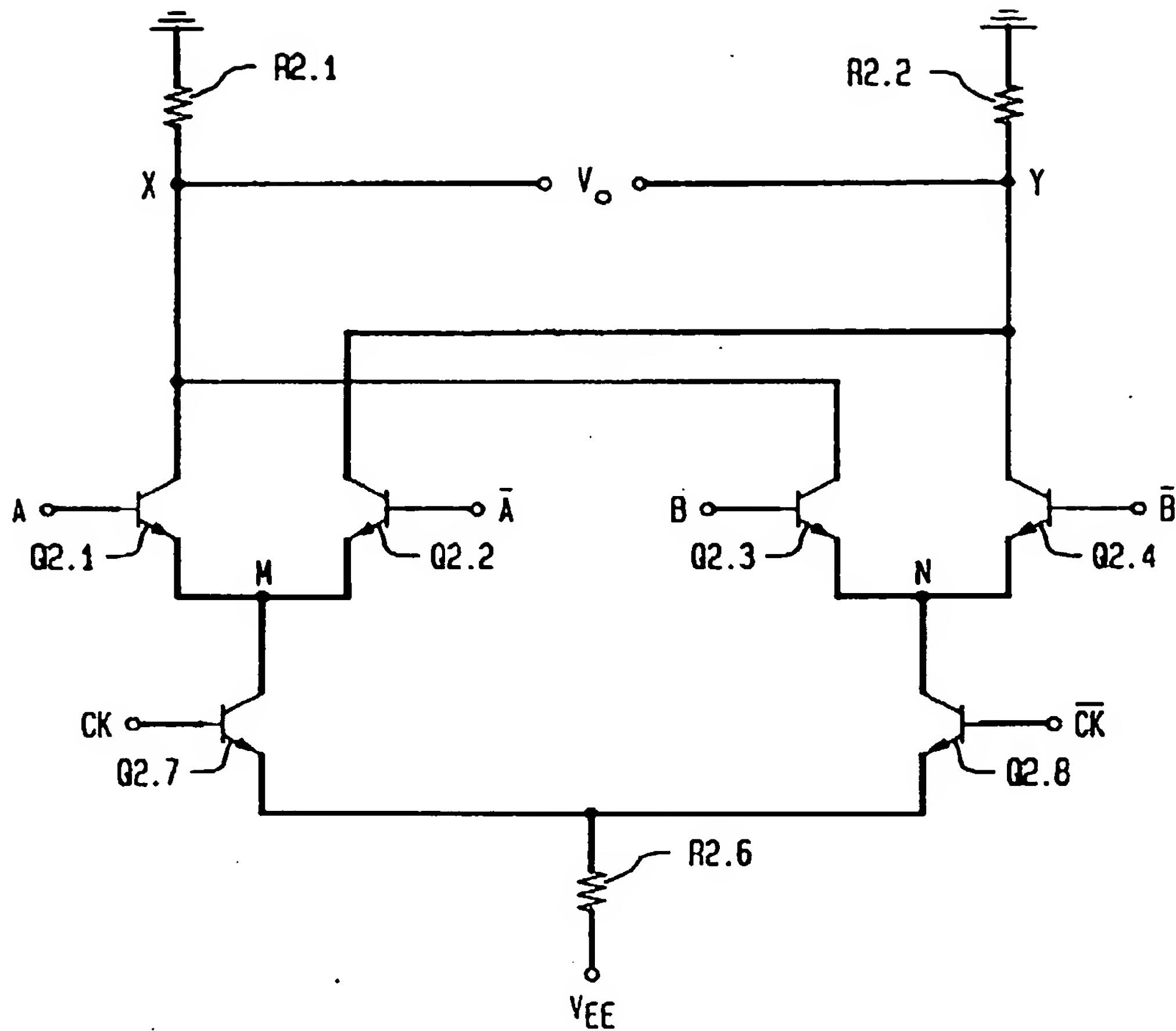
【図1】

(従来技術)

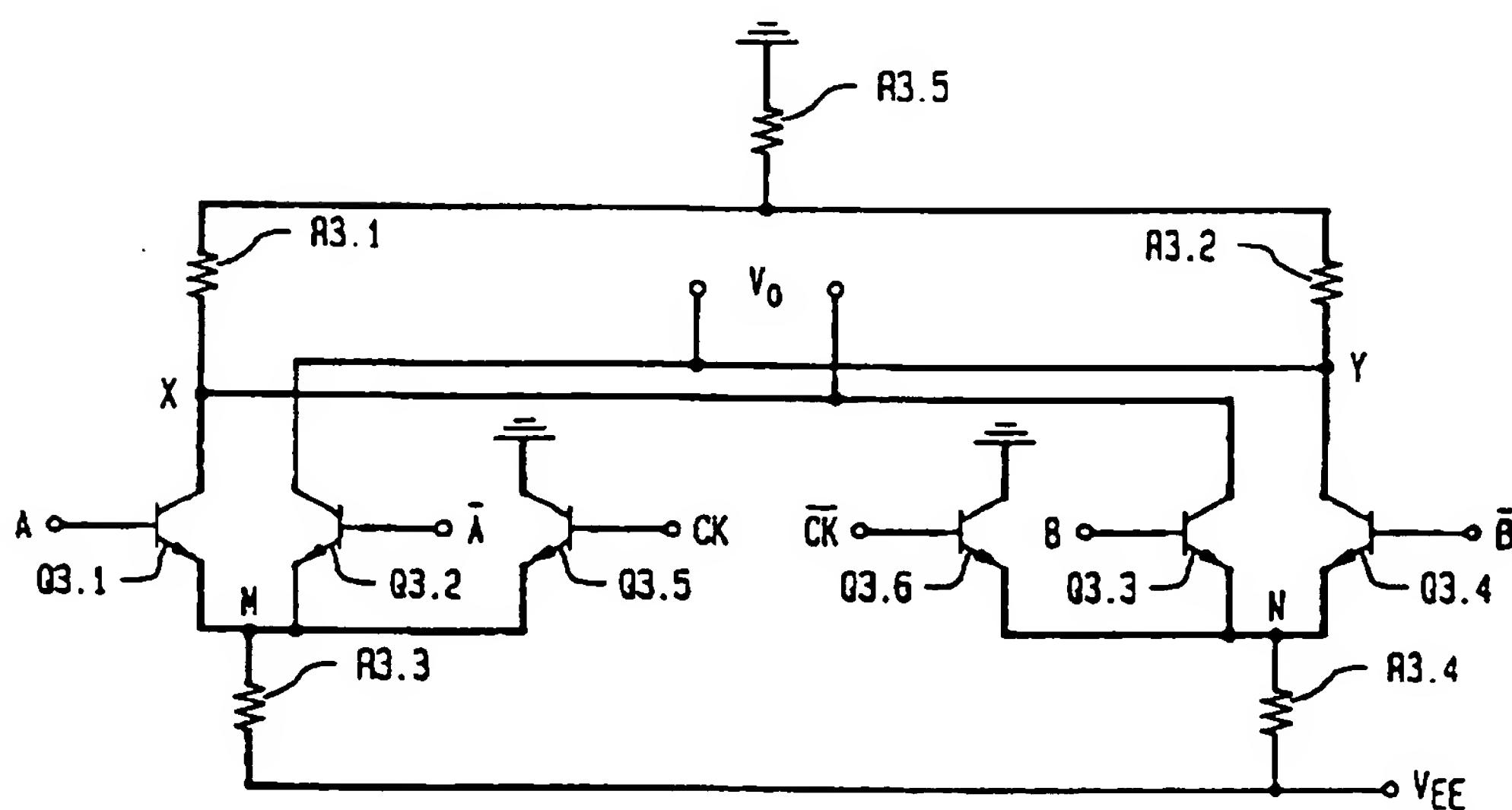


【図2】

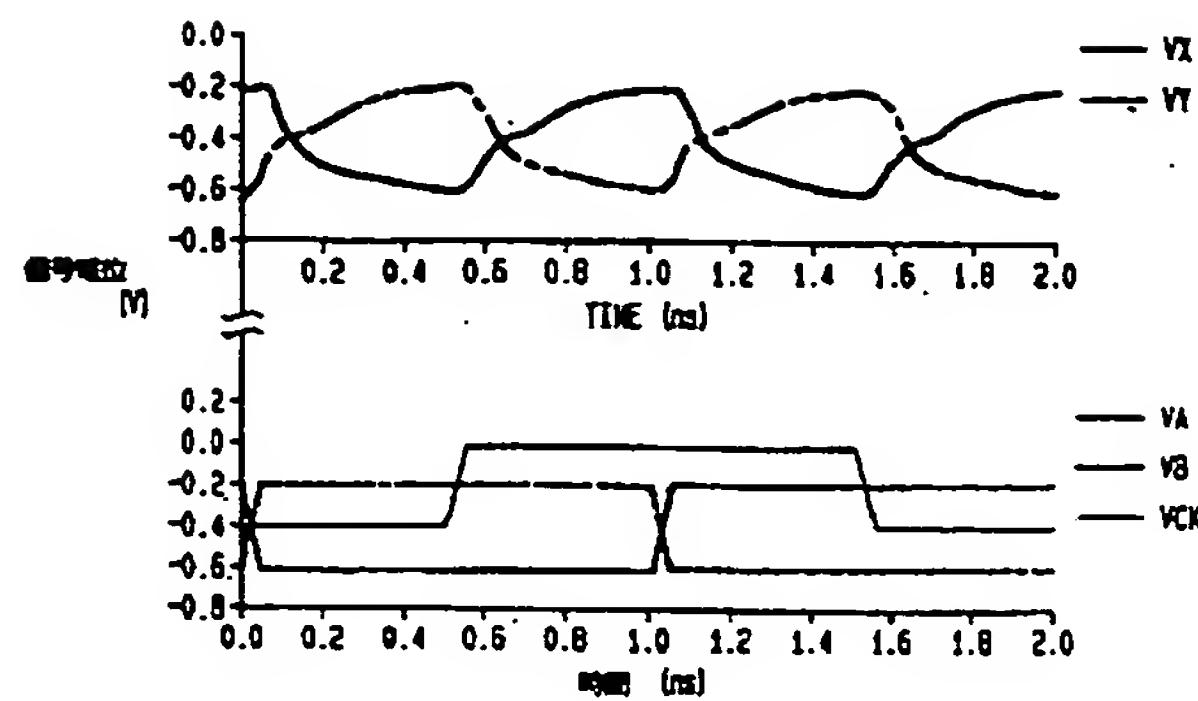
(従来技術)



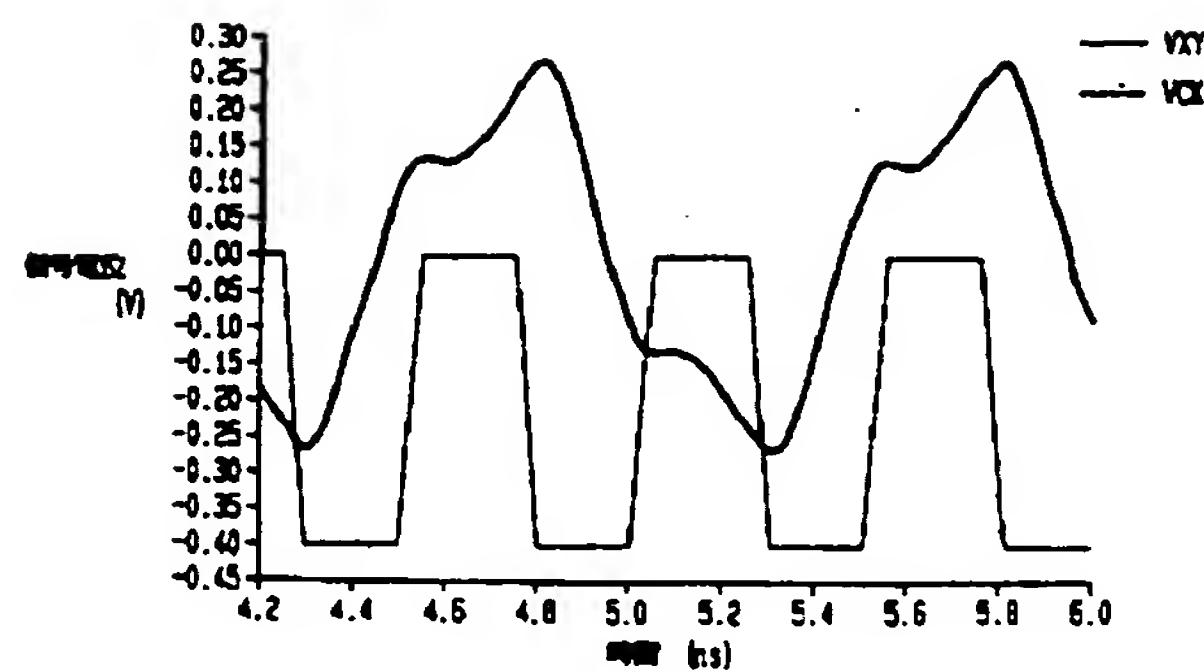
【図3】



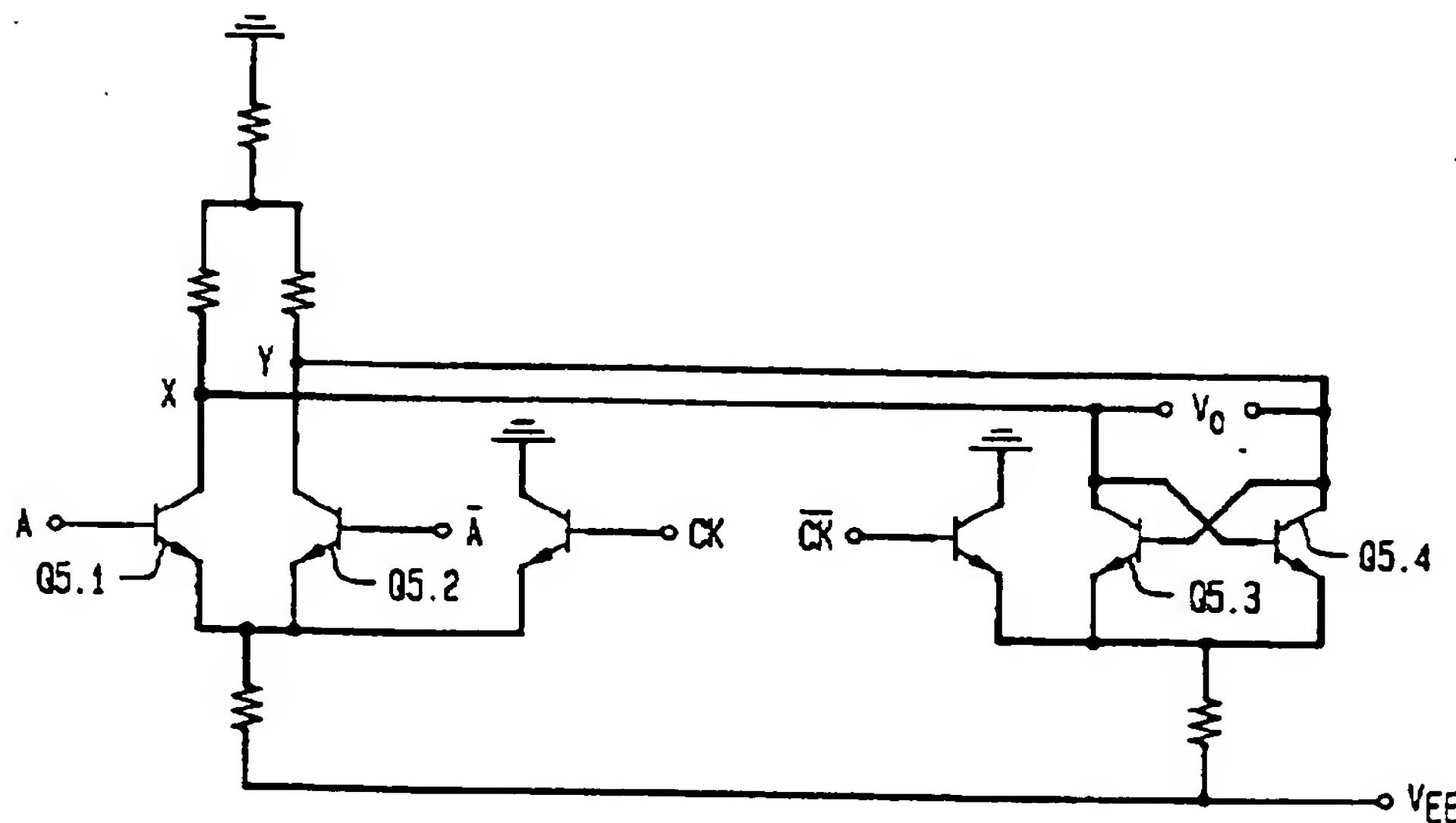
【図4】



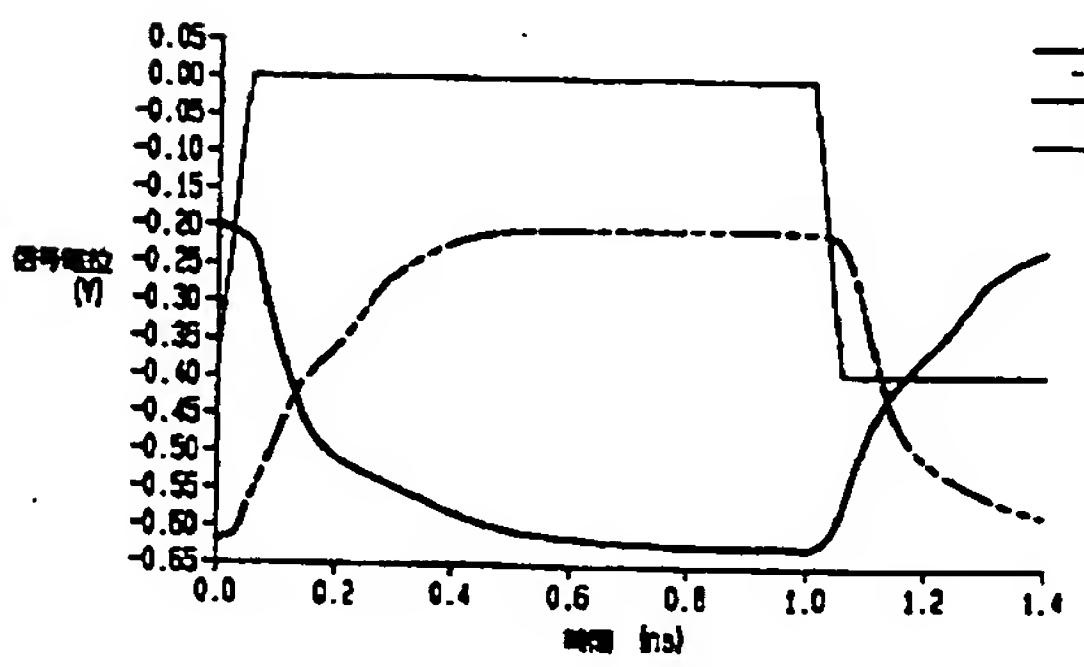
【図6】



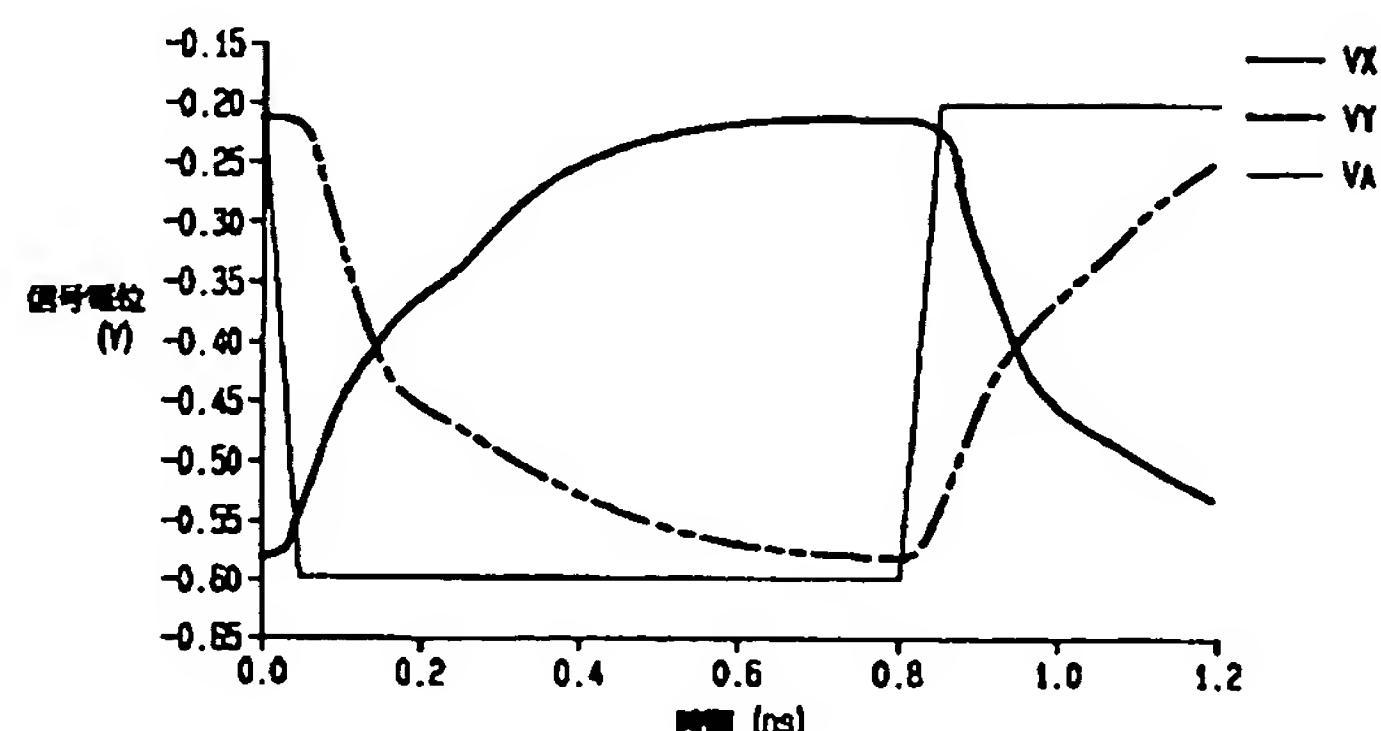
【図5】



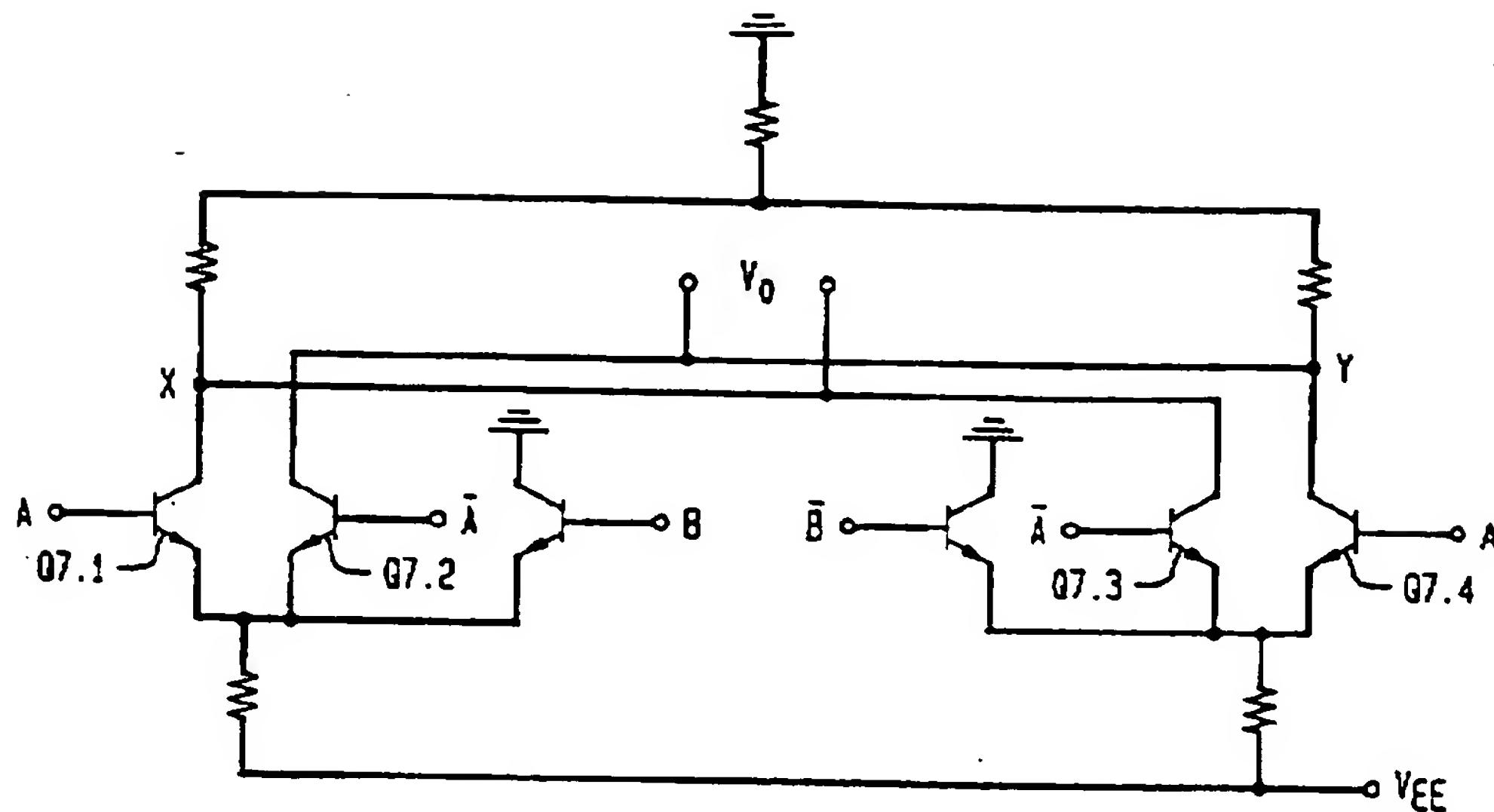
【図8】



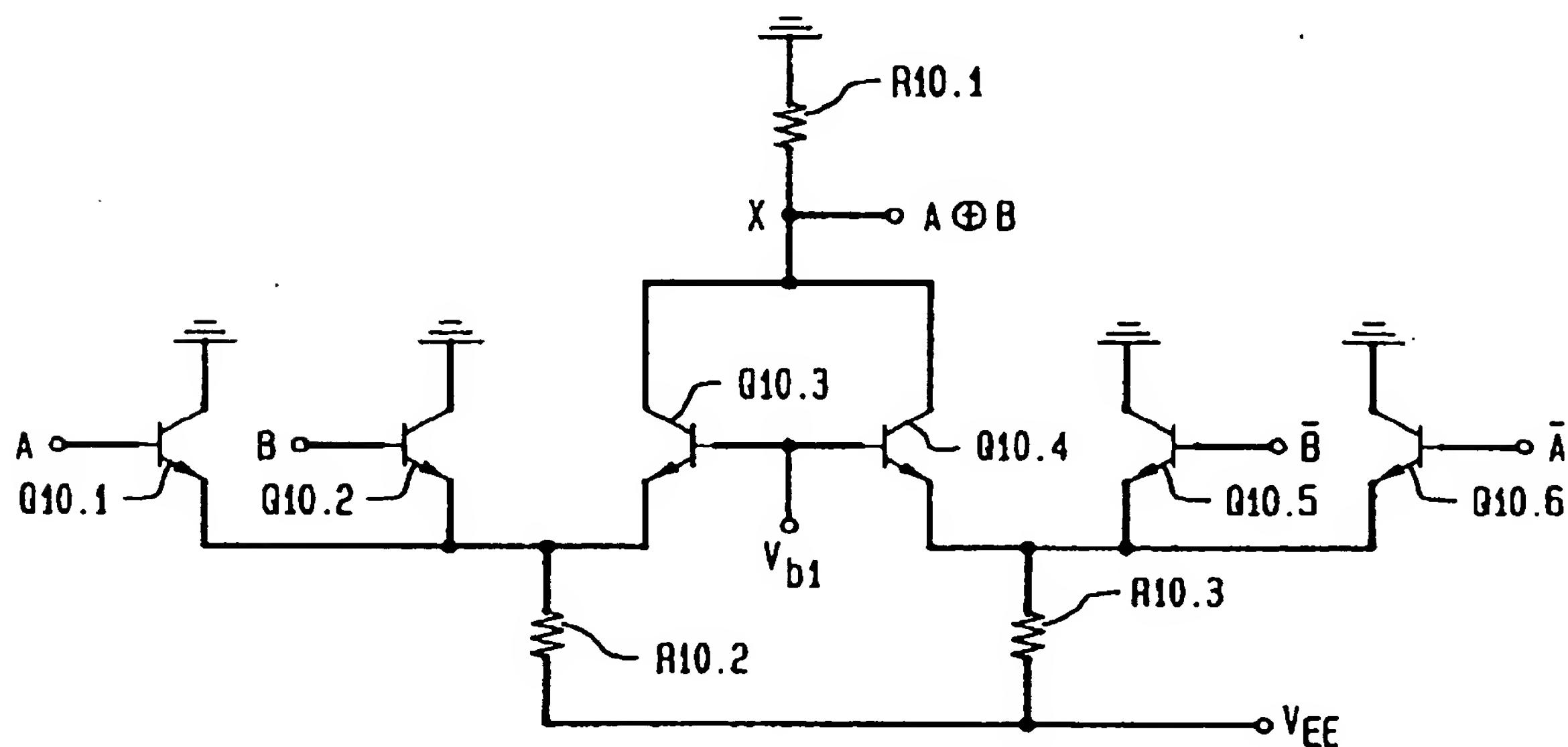
【図13】



【図7】

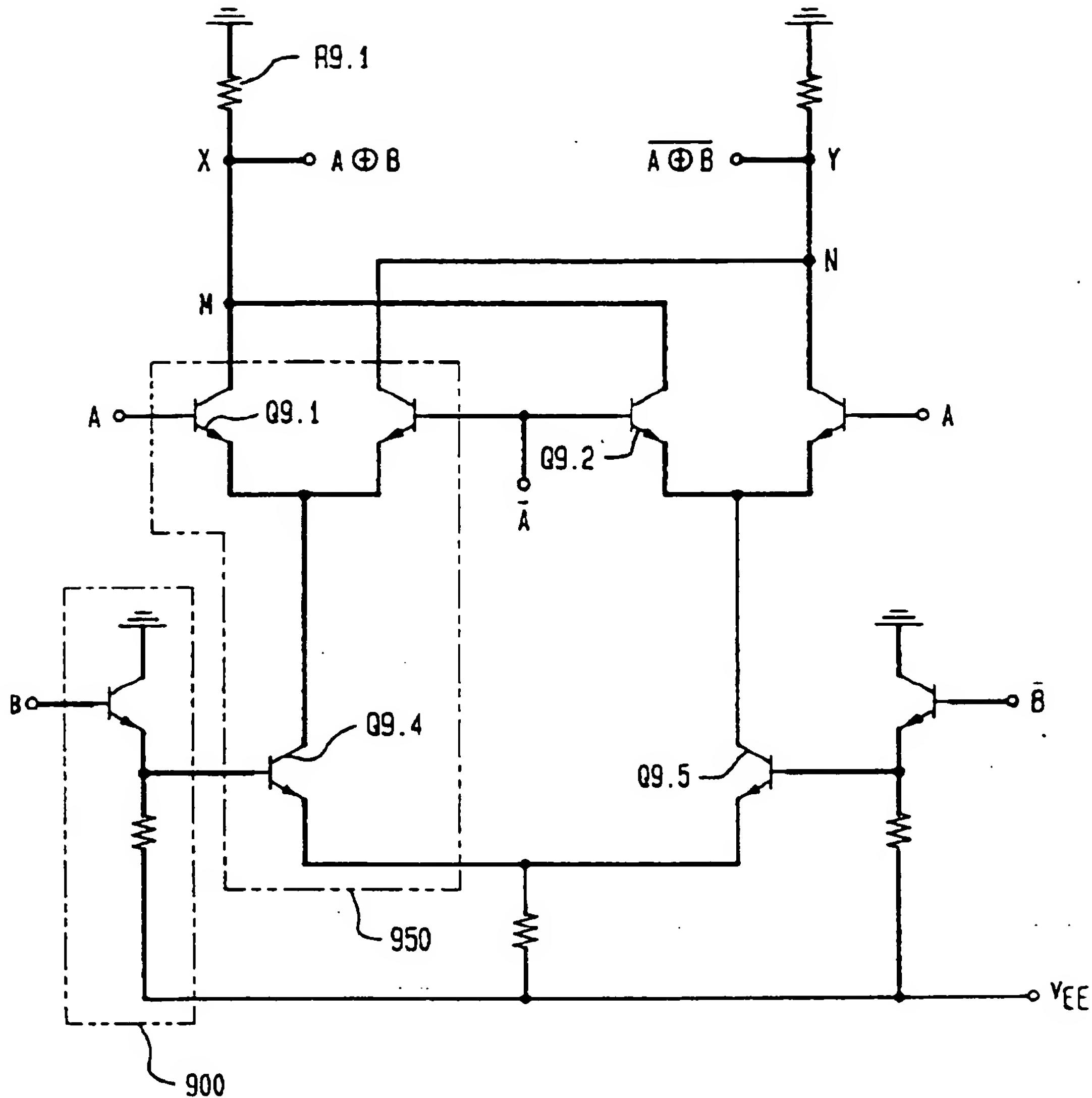


【図10】

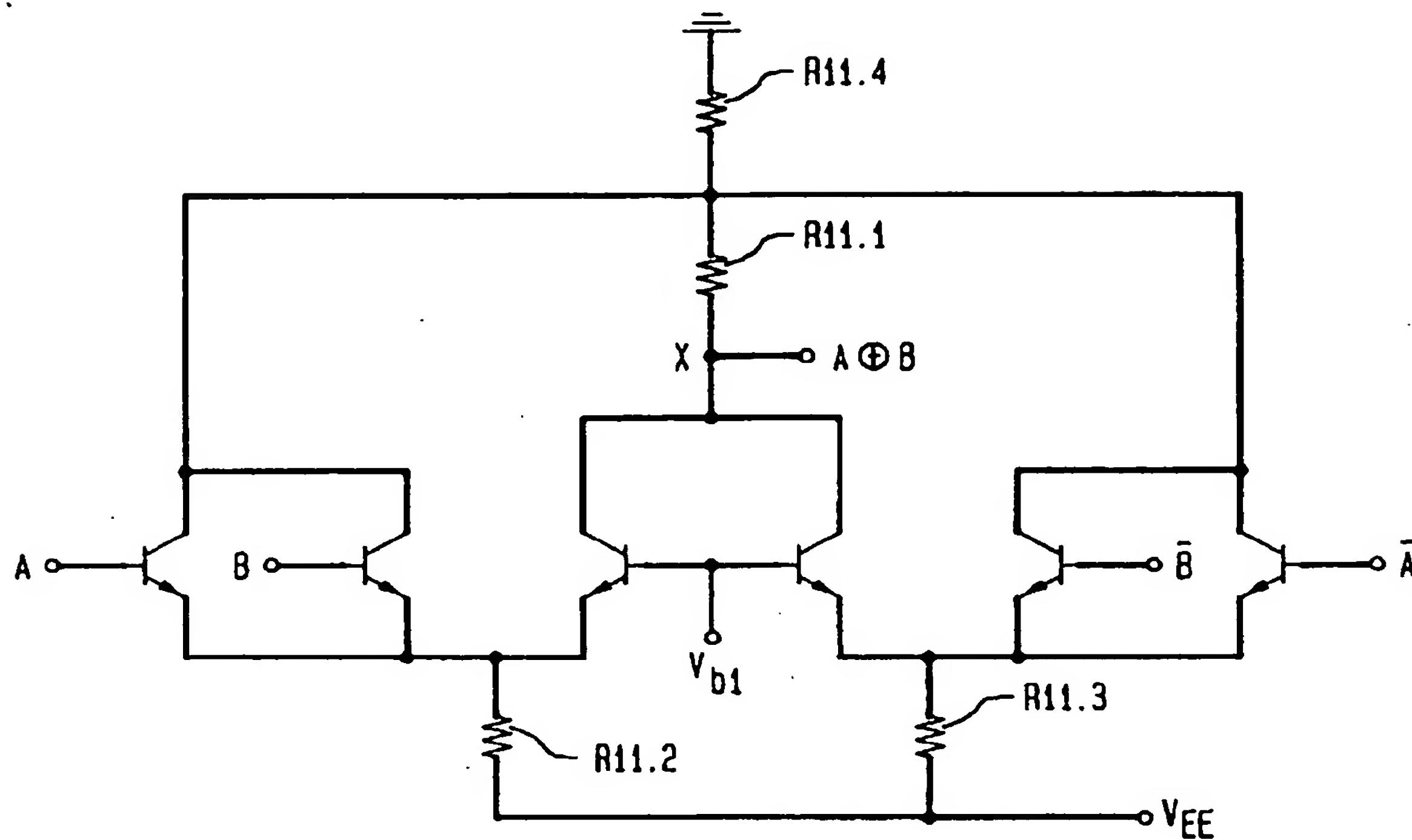


【図9】

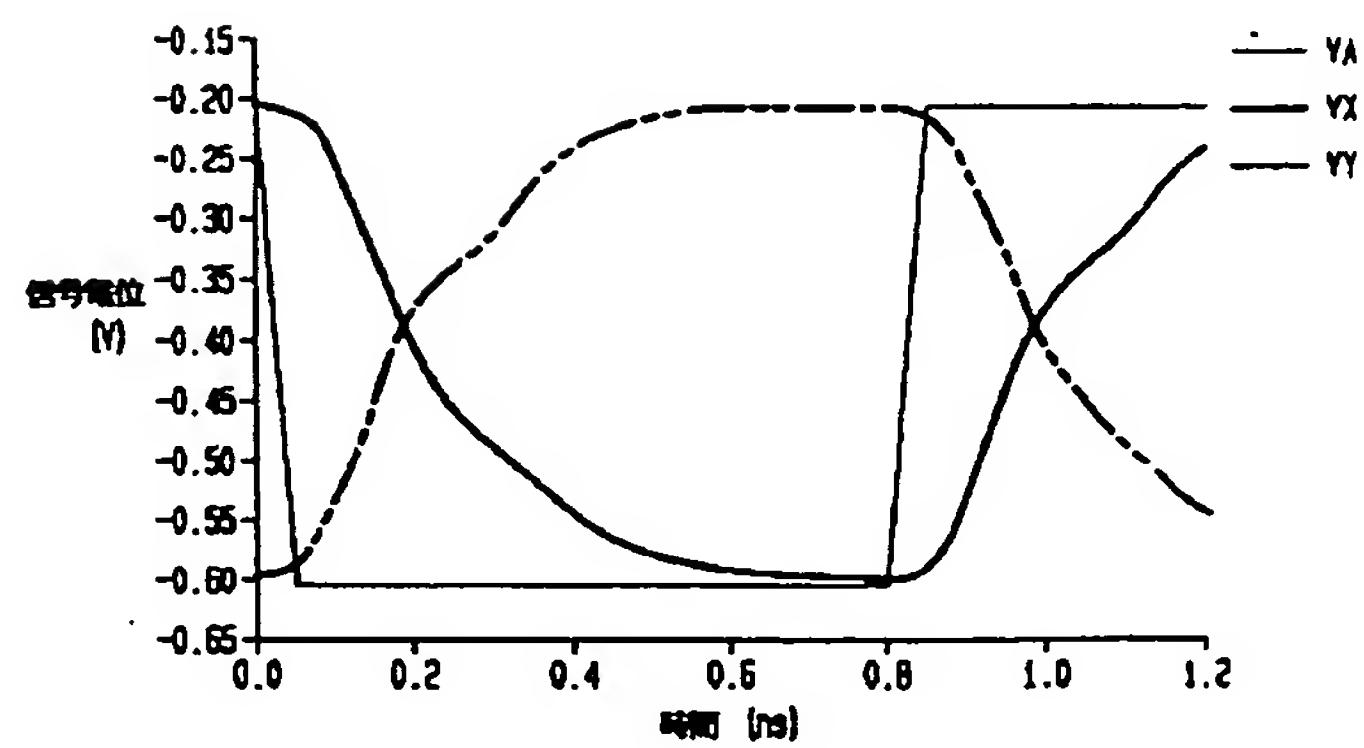
(従来技術)



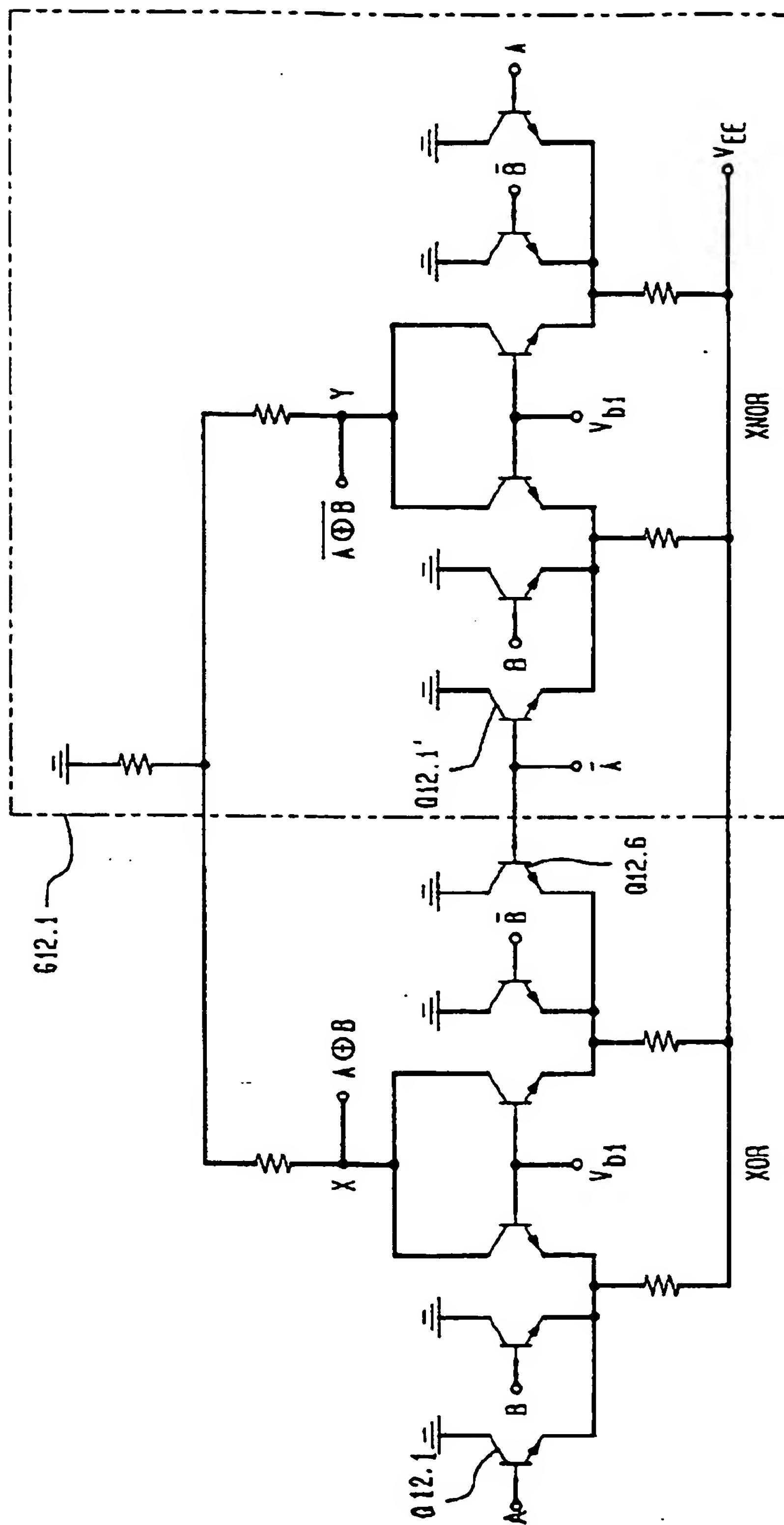
[ 1 1 ]



[四 16]

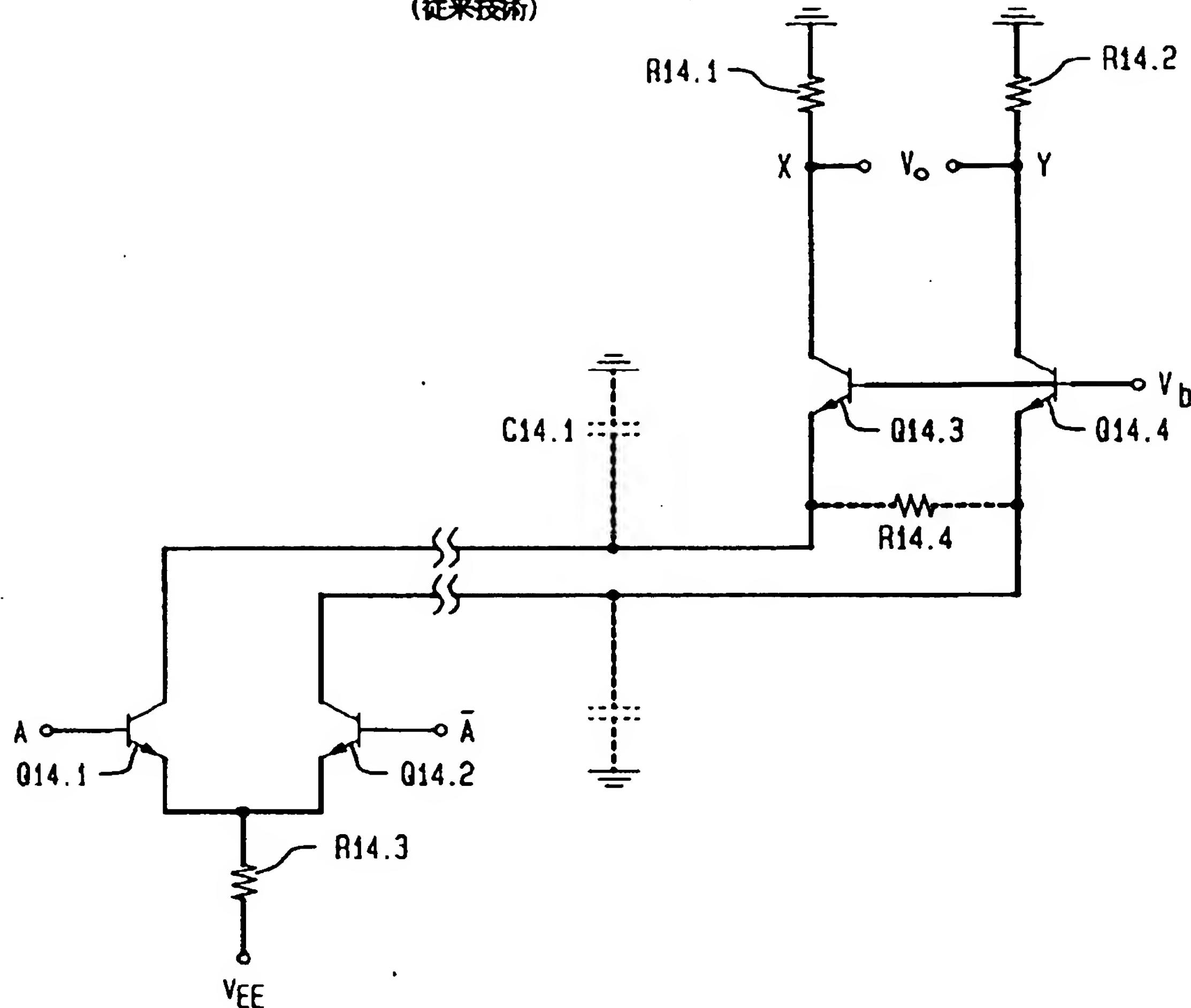


【図12】



[ 14 ]

(從來技術)



【図15】

